



⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑯ Offenlegungsschrift
⑯ DE 198 40 984 A 1

⑯ Int. Cl. 6:
H 01 L 29/78
H 01 L 27/115
H 01 L 21/336

Mit Einverständnis des Anmelders offengelegte Anmeldung gemäß § 31 Abs. 2 Ziffer 1 PatG

⑯ Anmelder:
Siemens AG, 80333 München, DE

⑯ Erfinder:
Ludwig, Christoph, Dr., 01465 Langebrück, DE;
Kutter, Christoph, Dr., 01099 Dresden, DE; Wolf,
Konrad, Dr., 01445 Radebeul, DE; Heitzsch, Olaf, Dr.,
01640 Coswig, DE; Huckels, Kai, Dr., 01465
Langebrück, DE; Rennekamp, Reinhold, Dr., 01099
Dresden, DE; Röhrich, Mayk, 01099 Dresden, DE;
Stein von Kamienski, Elard, 01099 Dresden, DE;
Wawer, Peter, Dr., 01099 Dresden, DE; Springmann,
Oliver, 01099 Dresden, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

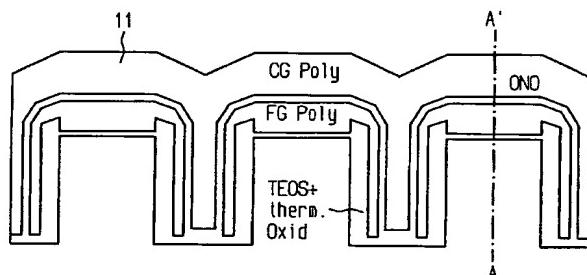
Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Halbleiterbauelement für integrierte Schaltkreise sowie Verfahren zur Herstellung

⑯ Beschrieben wird ein Halbleiterbauelement für integrierte Schaltkreise, zumindest bestehend aus
- einem Substratgebiet, das als Erhebung (6) in einer Grabenstruktur eines Grundkörpers (1, 2, 3) ausgebildet ist,
- dotierten Gebieten (12, 13), die als Kathoden- und Anodenregionen in die Erhebungen (6) eingebettet sind, wobei zwischen der Kathodenzone (12) und der Anodenzone (13) eine Kanalregion in dem Substratgebiet ausgebildet ist,
- zumindest einer ersten Elektrode (3, 9), die über der Kanalregion angeordnet ist und durch eine Isolationsschicht (2, 7, 8) von der Erhebung (6) getrennt ist, wobei diese Elektrode (3, 9) mindestens Teile einer Seitenwand der Erhebung (6) sowie Teile der Oberfläche der Erhebung (6) bedeckt.

Weiter wird ein Verfahren zur Herstellung eines Halbleiterbauelements mit folgenden Schritten beschrieben:

- Bereitstellen eines Grundkörpers (1, 2, 3),
- Strukturierung von Gräben und Erhebungen (6) in die Oberfläche des Grundkörpers (1, 2, 3),
- Aufbringung einer Isolationsschicht (7, 8) auf einzelne Bereiche der Oberfläche des strukturierten Grundkörpers (1, 2, 3),
- im wesentlichen oberflächendeckende Abscheidung eines Elektrodenmaterials auf der strukturierten Oberfläche des Grundkörpers (1, 2, 3),
- Entfernung des Elektrodenmaterials von den Grabenböden,
- Einbringung einer Kathoden- und Anodendotierung (12, 13) in die Erhebung (6).



DE 198 40 984 A 1

DE 198 40 984 A 1

Beschreibung

Die Erfindung betrifft ein Halbleiterbauelement für integrierte Schaltkreise, insbesondere ein Schaltelement, sowie ein Verfahren zur Herstellung eines solchen Bauelements, insbesondere eines Schaltelements.

Als Halbleiterschaltelemente für integrierte Schaltkreise sind vor allem Transistoren als kleinste Bauelemente bekannt. Auf diesem Gebiet besteht ein ständiger Bedarf zur Erzeugung immer kleinerer Strukturen, was mit der Notwendigkeit einer immer weitergehenden Optimierung der Schaltelemente einhergeht. Dabei gilt es, verschiedenste Eigenschaften der Schaltelemente wie elektrische, mechanische, thermische Eigenschaften etc. zu optimieren.

Aufgabe der vorliegenden Erfindung ist es daher, eine Optimierung von Halbleiterbauelementen gerade für kleinere Strukturgrößen zu gestatten. Diese Aufgabe wird gelöst durch die Merkmale der Ansprüche 1 und 12.

Betrachtet werden Bauelemente mit einem Substratgebiet, das als Erhebung auf einem Grundkörper ausgebildet ist, wobei die Erhebung durch Strukturierung von Gräben entsteht. In die Erhebung eingebettet ist ein dotiertes Kathoden- und ein dotiertes Anodengebiet, wobei sich diese über einen Teil der Höhe der Erhebung oder auch über die gesamte Erhebung, gegebenenfalls bis in den Bereich unter der Erhebung erstrecken können.

Durch eine Strukturierung von Gräben und Erhebungen zur Bildung der Bauelemente wird eine nicht-planare Ausführung der Elektroden der Bauelemente ermöglicht. Damit können viele Eigenschaften der Elektroden verbessert werden, die direkt oder indirekt von der Fläche der Elektroden abhängen. Diese Gräben können dabei relativ schmal ausgebildet sein. Sie können jedoch auch so breit vorgesehen werden, daß nur noch stegförmige Erhebungen von der nicht-strukturierten Oberfläche des Grundkörpers übrig bleiben. Dabei ist es besonders vorteilhaft, die Elektroden aus einem Materialkörper zu bilden, der mindestens Teile einer Seitenwand der Erhebung sowie Teile der Oberfläche der Erhebung bedeckt, d. h. die Elektrode sitzt teilweise auf der Oberfläche und ragt teilweise in den Gräben hinein. Sie kann auch die gesamte Oberfläche oder eine oder zwei gesamte Seitenwände bedecken. Zwischen Elektrode und Erhebung ist dabei regelmäßig eine Isolationsschicht vorzusehen. Diese Strukturierung ermöglicht die Schaffung eines besonders günstigen Oberflächen-Volumen-Verhältnisses für die Elektroden und damit eine weitergehende Reduzierung der Größe des Bauelements, insbesondere des Schaltelements. Sinnvollerweise sollten sich dabei die Flächeninhalte der Fläche, die die Elektrode auf der Seitenwand oder den Seitenwänden bedeckt im Vergleich zu der Fläche, die die Elektrode auf der Oberfläche der Erhebung bedeckt, höchstens um einen Faktor 10 unterscheiden, d. h. die eine Fläche sollte nicht weniger als etwa 10% der anderen betragen.

Wird der erfindungsgemäße Gedanke beispielsweise für den Fall einer Gate-Elektrode eines Feldeffekttransistors angewendet, so bedeutet dies, daß die Wirkung der Elektrode auf eine Kanalregion im Substrat auch bei kleineren Längenausdehnung beibehalten werden kann, da nun sogar eine räumliche Einwirkung auf den Kanalbereich des Transistors, genutzt werden kann, d. h. eine Einwirkung von der Oberfläche her und gleichzeitig von der Seitenwand der Erhebung her.

Dieser Einfluß der Elektrode auf den Kanalbereich kann jedoch noch durch die Isolationsschicht zwischen Elektrode und Substrat der Erhebung gesteuert werden. So kann eine Isolationsschicht mit einheitlicher Schichtdicke vorgesehen sein, d. h. die Wirkung der Elektrode wird allein durch die

Grenzfläche der Elektrode zur Erhebung hin bestimmt. Es kann die Isolationsschicht aber auch mit Bereichen unterschiedlicher Schichtdicke ausgestaltet werden, z. B. Bereiche mit einer Dicke, die einen Tunnelstrom durch die Schicht erlauben, solche die dies nicht erlauben, die aber beispielsweise noch eine Beeinflussung des Kanalbereiches durch die Elektrode gestatten, und Schichtbereiche, die keinerlei Beeinflussung des Kanalbereichs oder Bildung von Tunnelströmen gestatten.

- 10 Für ein EPROM als speziellen Feldeffekttransistor kann auch jede der Gate-Elektroden als derart strukturierte, nicht-planare Elektrode ausgebildet sein. So kann auch die Steuerelektrode (Control Gate) eine Floating Gate Elektrode, die auf einer solchen Erhebung angeordnet ist, an mehreren Seitenflächen bedecken, wobei eine oder mehrere Zwischenschichten zwischen den beiden Elektroden angeordnet sein können. Das bedeutet, das in diesem Fall auch die Steuerelektrode zumindest Teile der Oberfläche und Teile der Seitenwände der Erhebung bedeckt, auf welcher nun natürlich bereits eine Elektrodenschicht und mindestens eine Isolationsschicht angeordnet sind. Wird auch die Floating Gate Elektrode als derart auf eine Erhebung aufgebrachte Elektrode ausgebildet, so kann der Effekt des günstigeren Oberflächen-Volumen-Verhältnisses auch für diese Elektrode genutzt werden, was eine noch weitergehende Reduzierung der baulichen Struktur erlaubt. Es können bei einem solchen Bauelement auch einige oder alle Elektroden- und Isolationsschichten als Mehrschichtstrukturen aufgebaut werden, d. h. daß z. B. eine Elektrode tatsächlich aus zwei oder mehr Schichten aufgebaut wird.

Die Herstellung solcher Bau- bzw. Schaltelemente kann bevorzugt dadurch erfolgen, daß zunächst ein bereitgestellter Grundkörper in Form von Gräben und Erhebungen strukturiert wird, wobei der Grundkörper dann permanent in der Anordnung des Schaltelements verbleibt, d. h. es erfolgt später keine Ablösung dieses Grundkörpers. Anschließend kann dann Materialabscheidung auf der strukturierten Oberfläche des Grundkörpers erfolgen. Dabei kann dieser Grundkörper bereits eine erste Elektrodenschicht oder Isolationsschicht oder Teile einer solchen Elektrodenschicht oder Isolationsschicht beinhalten, welche zusammen mit dem Grundkörper strukturiert werden, wobei jedoch regelmäßig erst durch den weiteren Schritt der Materialabscheidung auf der strukturierten Oberfläche die komplette Elektrode oder Isolationsschicht in ihrer vorgesehenen Form erzeugt wird. Der übrige Grundkörper kann beispielsweise aus einer Substratschicht bestehen.

Wird das Elektrodenmaterial nun auf dem strukturierten Grundkörper im wesentlichen oberflächendeckend abgeschieden, so bildet sich automatisch eine strukturierte Elektrode, die sich in ihrer Form an die Oberflächenstruktur der darunter liegenden strukturierten Oberfläche des Grundkörpers anpaßt. Im wesentlichen oberflächendeckend bedeutet hier, daß Elektrodenmaterial in der Regel nicht über die gesamte Fläche der darunterliegenden strukturierten Oberfläche abgeschieden wird oder nicht derart komplett oberflächendeckend verbleibt. Es werden normalerweise gewisse Bereiche ausgespart, beispielsweise durch Maskierungsstufen bei der Abscheidung, oder nachträglich wieder aus dem aufgetragenen Schichtmaterial entfernt, beispielsweise durch Ätzschritte. Insbesondere werden im erfindungsgemäßen Verfahren diejenigen Bereiche des oberflächendeckend abgeschiedenen Materials wieder entfernt, die die Grabenböden bedecken. Es verbleibt somit nur noch dasjenige Material, das Seitenwände der Gräben bedeckt sowie Material auf der Oberfläche.

Schließlich wird vorgesehen, daß in der Erhebungen die Kathodenzone und die Anodenzone durch eine entsprech-

chende Dotierung des Substratmaterials der Erhebung erzeugt wird, wobei die Eindringtiefe der Dotierung der gewünschten Anwendung und Wirkung des Bauelements angepaßt werden kann. Sie kann nur einen Teil der Höhe oder die gesamte Höhe der Erhebung betragen oder sie kann sogar bis in den Bereich unter der Erhebung reichen.

In einer weitergehenden Anwendung der erfundsgemäßen Idee zur Herstellung eines EPROM kann eine Strukturierung der Floating Gate Elektrode erfolgen, indem diese nach den eingangs beschriebenen Verfahrensschritten als nicht-planare Elektrode eines Halbleiterschaltelements erzeugt wird. Es kann dabei aus verfahrenstechnischen Gründen sinnvoll sein, zunächst eine erste Elektrodenschicht zur Erzeugung der Floating Gate Elektrode auf einem planaren Grundkörper abzuscheiden, die erste Elektrodenschicht gemeinsam mit dem Grundkörper zu strukturieren und erst in einem weiteren Schritt eine oberflächendeckende Abscheidung einer zweiten Elektrodenschicht zur Erzeugung der Floating Gate Elektrode auf der nunmehr strukturierten Oberfläche aus Grundkörper und erster Elektrodenschicht vorzunehmen. Diese Methode der indirekten Strukturierung der Elektrode ist überdies oft einfacher zu erzielen als der Versuch einer direkten Strukturierung des Elektrodenmaterials zur Bildung nicht-planarer Strukturen.

Anschließend kann die Steuerelektrode des EPROMs oberflächendeckend über der Floating Gate Elektrode abgeschieden werden, wobei die Abscheidung normalerweise auf einer oder mehreren die Floating Gate Elektrode bedekkenden Isolationsschichten erfolgt. Die gesamte Anordnung aus Substrat, diversen Zwischen- oder Isolationsschichten und der Floating Gate Elektrodenschicht bildet dabei den zu beschichtenden Grundkörper, wobei dieser bereits in einer strukturierten Form vorliegt. Es kann somit die Steuerelektrodenschicht direkt ohne wesentliche Strukturierungsschritte auf diesen strukturierten Grundkörper, insbesondere auf die Floating Gate Elektrode, abgeschieden werden. So mit bedeckt die Steuerelektrode automatisch mehrere oder alle zugänglichen Flächen der Floating Gate Elektrode, was ein verbessertes Zusammenwirken der beiden Elektroden, gerade auch in Bezug auf deren kapazitive Kopplung, ermöglicht.

Es können jedoch durch die Elektrodenstrukturierung auch komplementäre Effekte erzielt werden, indem einerseits eine Verbesserung der Funktionalität gewisser Elektrodenbereiche erzielt wird, gleichzeitig eine Einschränkung der Funktionalität anderer Bereiche, wo diese erwünscht ist. So können bei den erfundsgemäßen Elektrodenköpfen bereits durch die Unterschiede von innerer und äußerer Elektrodenfläche unterschiedliche Wirkungen dieser Elektrodenfläche erzielt werden. Dieser Effekt kann noch verstärkt werden, wenn einzelne Bereiche derart geformter Elektroden, beispielsweise Teile der inneren Oberfläche, Vorsehung von Isolationsschichten wie bereits beschrieben funktional neutralisiert werden, so daß ein noch größerer Unterschied zwischen der Wirkung der inneren und der äußeren Elektrodenfläche entsteht.

So haben beispielsweise bei EPROMs die kapazitive Kopplung $C_{FG-Substrat}$ der Floating Gate Elektrode zum angrenzenden Substrat einerseits und die Kopplung C_{FG-CG} der Floating Gate Elektrode zur Steuerelektrode andererseits einen wesentlichen Einfluß bei der Durchführung von Programmier- und Löschtätigkeiten im EPROM. Je größer das Verhältnis von C_{FG-CG} zu $C_{FG-Substrat}$, desto einfacher sind die genannten Vorgänge durchführbar. Ziel ist in diesem Fall die Bildung einer möglichst großen Kondensatorfläche zur Erhöhung der kapazitiven Kopplung C_{FG-CG} und einer möglichst kleinen Kondensatorfläche zur Verringerung der Kopplung $C_{FG-Substrat}$. Es sind dann kürzere Zeitspannen und

geringere Spannungen für Programmier- und, im Fall von EEPROMs, auch für Löschtätigkeiten möglich. Folge sind damit schnellere Verarbeitungsvorgänge und geringerer Platzbedarf für die integrierten Schaltkreise, da die Funktionselemente, die zur Erzeugung der benötigten Spannungen vorzusehen sind, nun aufgrund der geringeren benötigten Spannungen kleiner ausfallen können.

Das genannte Kapazitätsverhältnis kann somit auf einfache Weise durch die Formgebung der Elektroden und gegebenenfalls funktionale Neutralisierung wie z. B. Abschirmung gewisser Oberflächenbereiche der Elektroden erzielt werden. Durch Bildung der Elektroden nach dem vorgenannten Verfahren über eine Strukturierung von Gräben und Erhebungen erhält man teilweise oder vollständig trogförmig ausgebildete Elektroden. So kann eine teilweise oder vollständig trogförmige Steuerelektrode um eine teilweise oder vollständig trogförmige Floating Gate Elektrode herumgeformt werden, wobei die Steuerelektrode an mehrere äußere Flächen der Floating Gate Elektrode angrenzt. Man erhält dadurch eine große kapazitive Kopplung dieser beiden Elektroden. Gleichzeitig wird die innere Elektrodenfläche der Floating Gate Elektrode so geformt werden, daß das Substrat in die trogförmige Floating Gate Elektrode hineinragt und die aktive innere Elektrodenfläche relativ klein ausgestaltet wird, z. B. durch eine entsprechende Dicke der trogförmigen Elektrode oder durch Abschirmung gewisser Bereiche der inneren Elektrodenfläche im Trog wie beispielsweise einer oder mehrerer Seitenflächen des Troges der Floating Gate Elektrode. Eine solche Abschirmung kann wie bereits beschrieben durch Anbringung von Isolationsschichten zwischen Substrat und Floating Gate Elektrode in bestimmten Bereichen der inneren Elektrodenflächen erfolgen. So können gerade im Fall eines EPROM lokal entsprechend dicke Isolationsschichten auf der inneren Elektrodenfläche vorgesehen sein, die Tunnelströme im Bereich dieser Isolationsschichten verhindern. So kann z. B. erzielt werden, daß Tunnelströme nur im Bereich der Oberfläche der Erhebung auftreten können, wenn nur in diesem Bereich eine ausreichend dünne Isolationsschicht vorgesehen wird.

Es kann jedoch auch vorgesehen sein, daß die gesamte Grenzfläche zwischen Elektrode und Substrat als Tunnelbereich genutzt wird. Entsprechend kann eine Ausgestaltung der Erfindung vorsehen, daß sich ein leitfähiger Kanal an allen Flächen des Substrats ausbilden kann, an die die Elektrode angrenzt. Es kann aber auch vorgesehen sein, daß durch Abschirmung z. B. an den Seitenwänden des Gräbs mittels Isolationsschichten ausreichender Dicke verhindert wird, daß es an diesen Seitenflächen zu einer Ausbildung eines Leitfähigkeitskanals kommen kann.

Die genannten Möglichkeiten zur funktionalen Neutralisierung von Flächenbereichen ist natürlich auch für die übrigen Flächenbereiche der Elektroden anwendbar, soweit dies erforderlich ist. Dies kann z. B. für Fälle sinnvoll sein, bei denen die Elektroden lediglich aus Platzgründen strukturiert werden und keine Unterschiede zwischen inneren und äußeren Elektrodenflächen wünschenswert sind. Dann kann z. B. eine Neutralisierung gewisser Bereiche der äußeren Oberflächen von Elektroden erfolgen, um eine Gleichheit von innerer und äußerer aktiver Elektrodenfläche zu erzielen.

Eine Anwendung des erfundsgemäßen Gedankens ist, wie bereits beschrieben, die Strukturierung von Floating Gate Elektrode und Steuerelektrode bei EPROMS. Es kann hierbei vorteilhaft sein, die Gräben so breit zu wählen, daß stegförmige Erhebungen entstehen. Prinzipiell können jedoch auch schmälere Gräben vorgesehen sein.

Eine spezielle Ausführungsform der Erfindung wird anhand der Fig. 1 bis 11 sowie der nachfolgenden Beschreibung am Beispiel eines EEPROM-Schaltelements erläutert.

Es zeigen:

Fig. 1 Schematische Darstellung des zu strukturierenden Grundkörpers.

Fig. 2 Grundkörper nach Strukturierung von Gräben bzw. stegförmigen Erhebungen.

Fig. 3 Strukturierter Grundkörper nach Entfernung der Ätzmaske.

Fig. 4 Strukturierter Grundkörper mit erstem Teil der Isolationsschicht.

Fig. 5 Strukturierter Grundkörper mit komplett aufgetragener Isolationsschicht.

Fig. 6 Anordnung nach Abtrag der Isolationsschicht an den Stirnflächen der stegförmigen Erhebungen.

Fig. 7 Anordnung nach teilweisem Abtrag der Isolationsschicht an den Seitenflächen der ersten Elektrodenschicht.

Fig. 8 Anordnung nach Auftrag der zweiten Elektrodenschicht.

Fig. 9 Anordnung nach Abtrag der zweiten Elektrodenschicht an den Grabenböden.

Fig. 10 Anordnung nach Auftrag der Dielektrikumschicht.

Fig. 11 Anordnung nach Auftrag der Steuerelektroden-schicht.

Fig. 12 Anordnung der gesamten Schichten ohne Abschirmung an den Seitenwänden.

Fig. 13 Ansicht des Transistors als Schnitt durch die Anordnung in **Fig. 11** entlang der Schnittlinie A-A'.

In einem ersten Schritt wird auf einen Substrat-Grundkörper 1 eine Tunneloxidschicht TOX 2 erzeugt, beispielsweise durch thermische Trockenoxidation des Substrats, mit einer Dicke von ca. 8 nm.

Anschließend wird eine erste Elektrodenschicht 3, z. B. aus amorph abgeschiedenem und in-situ hoch-Phosphor-dotiertem Polysilizium, zur Bildung der Floating Gate Elektrode aufgebracht, wobei die Dicke dieser Schicht ausreichend groß zu wählen ist, damit anschließend noch Distanzbereiche (Spacer) durch Strukturierung erzeugt werden können. Bevorzugt wird eine Schichtdicke von ca. 150 nm gewählt. Schließlich wird eine Ätzmaske aufgebracht wie z. B. eine Hartmaske, beispielsweise aus einer ersten Schicht 4 aus SiO₂ (Padoxid) und einer zweiten Schicht 5 aus SiN (Padnitrid). Anschließend erfolgt ein Ätzschritt zur Bildung von parallelen Gräben in eine Raumrichtung, wobei die vorgenannten Schichten auf parallelen, stegförmigen Erhöhungen 6 zurückbleiben. Die Ätzung kann durch einen Plasma-Trockenätzschritt (Reactive Ion Etching) mit einem Plasma im wesentlichen aus CHF₃, CF₄ oder anderen Halogengasen erfolgen. Die bevorzugte Grabenbreite liegt in der Größenordnung von 400 nm, die Grabentiefe bei ca. 300 nm und die Stegbreite bei ca. 250 nm.

Dann wird die Ätzmaske entfernt, beispielsweise in einem naßchemischen Schritt mit heißer Phosphorsäure, so daß nur die erste Elektrodenschicht 3 und die TOX-Schicht 2 auf den Erhebungen verbleiben. Auf die gesamte Anordnung wird oberflächendeckend eine Isolationsschicht 7, 8, insbesondere aus einem Oxid wie SiO₂, aufgebracht, deren Dicke größer ist als die der TOX-Schicht 2, jedoch geringer als die Breite und Tiefe der Gräben. Hier kann eine Schichtdicke im Bereich von ca. 50 nm gewählt werden. Bevorzugt setzt sich diese Schicht aus zwei einzelnen Schichten 7, 8 zusammen, einer relativ dünnen Schicht 7 aus thermischem Oxid, Dicke ca. 5–11 nm, und einer Schicht 8 aus TEOS Tetraethoxsilan Si(OC₂H₅)₄ mit einer Dicke von ca. 50–60 nm.

Nun wird die Isolationsschicht 7, 8 auf den stegförmigen Erhebungen 6 abgetragen, in den Gräben aus Isolationsgründen jedoch eine ausreichende Schichtdicke belassen. Dies wird bevorzugt verwirklicht durch einen Resist-Recess-Pro-

zeß. Dabei kann Fotolack auf die gesamte Anordnung aufgetragen und bestrahlt werden, wobei die Strahlung nur bis zu einer bestimmten Tiefe in die Lackschicht in den Gräben eindringt. In einem Entwicklungsschritt wird der bestrahlte

5 Teil des Lacks abgetragen, die nicht bestrahlte Lackschicht in den Gräben bleibt bis auf den oberen Grabenbereich weitgehend bestehen. Nun kann durch eine Oxidätzung die Isolationsschicht auf den Stirnflächen der Erhebungen sowie im Bereich der Seitenflächen des Elektrodenkörpers der 10 Floating Gate Elektrode abgetragen werden, ohne die übrige Schicht in den Gräben zu beeinträchtigen. Anschließend kann der restliche Lack entfernt werden.

Alternativ kann auch ein nur auf den Erhebungen 6 wirksames CMP (Chemical Mechanical Polishing) angewandt werden. In einem nächsten Schritt wird dann die Isolationsschicht 7, 8 von den Seitenwänden des Elektrodenschichtkörpers 3 durch einen anisotropen Ätzschritt wie z. B. Reactive Ion Etching entfernt, z. B. mit einem Zielabtrag von ca. 30 nm, wobei an den Seitenwänden des Grabens und am Grabenboden die Isolationsschicht mit einer Dicke von ca. 20–30 nm verbleibt.

Es wird nun eine weitere Schicht 9 aus Elektrodenmaterial zur Bildung der Struktur der Floating Gate Elektrode 25 oberflächendeckend mit einer Schichtdicke von ca. 70 nm deponiert, die durch einen anisotropen Ätzschritt mit einem Schichtabtrag von ca. 80 nm an den Grabenböden vollständig entfernt wird, wobei die seitlichen Flächen der gesamten Struktur weiterhin von dieser Schicht bedeckt bleiben. Man erhält damit eine trogförmige Floating Gate Elektrode, die 30 an den Seitenflächen der stegförmigen Erhebung 6 und an den Grabenböden durch eine Isolationsschicht 7, 8 und an den Stirnflächen der Erhebungen 6 durch eine TOX-Schicht 2 vom Substratgrundkörper 1 getrennt ist. Über diese gesamte Anordnung wird nun eine Dielektrikumsschicht 10 35 oberflächendeckend abgeschieden, beispielsweise aus ONO SiO₂-SiN-SiO₂ mit einer Gesamtdicke von 12–20 nm, wobei jede der einzelnen Schichten etwa ein Drittel dieser Schichtdicke aufweist. Schließlich wird über die gesamte Anordnung eine weitere Elektrodenschicht 11 zur Erzeugung 40 der Steuerelektrode abgeschieden, die bevorzugt eine solche Dicke aufweist, daß die verbliebenen Gräben vollständig aufgefüllt werden. Es ist jedoch auch möglich, die Dicke dieser Schicht 11 geringer zu wählen, so daß keine komplette Ausfüllung der Gräben erfolgt. Dies kann vorteilhaft sein, wenn dadurch nachgeschaltete Prozessierungs- oder Strukturierungsschritte leichter durchzuführen sind, da 45 beispielsweise bei einer erneuten Strukturierung durch Ätzschritte im Bereich einiger der Gräben dann nur eine geringere Schichtdicke abzutragen ist, um die Elektrodenschicht 50 11 wieder zu entfernen. Im anderen Fall ist jedoch der ganze Graben ausgefüllt, d. h. die Dicke der Elektrodenschicht im Grabenbereich entspricht der gesamten Tiefe des Grabens. Die geeignete Schichtgestaltung kann somit je nach Art der 55 weiteren Verarbeitung und Kompliziertheit der weiteren Strukturierung gewählt werden. Für die Elektrodenschicht 11 kann entweder ebenfalls in-situ hochdotiertes Polysilizium verwendet werden oder auch undotiertes Polysilizium, das in einem anschließenden Implantationsprozeß dotiert wird. Dabei ist sicherzustellen, daß das implantierte Dotiermaterial bis in die Gräben vordringt, was z. B. durch Dotierung mit Brom erreicht werden kann, da dieses Material 60 leicht diffundiert. Diese Schicht kann dann z. B. unter Verwendung einer Hartmaske in einem lithographischen Verfahrensschritt, weiter strukturiert werden. Dazu kann eine 65 Oксidschicht auf der Steuerelektrodenschicht erzeugt werden, deren Dicke so zu wählen ist, daß die Schicht auch für weitere Ätzschritte als Maske dienen kann, und anschließend kann eine Lackschicht aufgetragen werden. Nun er-

folgt zunächst eine lithographische Strukturierung der Oxidschicht durch eine Oxidätzung. Anschließend wird die strukturierte Oxidschicht als Hartmaske zur Strukturierung der Elektrodenschicht der Steuerelektrode unter Einsatz z. B. von Reactive Ion Etching verwendet. Zur Bildung von Bahnen aus der Steuerelektronenschicht 11 in der Richtung senkrecht zu der Graben- bzw. Stegstruktur muß in den abzutragenden Schichtbereichen eine ausreichende Überätzung gewährleistet sein, damit an diesen Stellen die Steuerelektronenschicht 11 auch aus den Gräben vollständig entfernt werden kann. Zur Bildung einzelner Speicherzellen ist nun noch eine Strukturierung der tieferliegenden Schichten, d. h. der ONO-Schicht und der Floating Gate Elektrodenschicht in Richtung senkrecht zur Graben- bzw. Stegstruktur nötig. Hier kann nun zur Vereinfachung des Verfahrens die bereits strukturierte Steuerelektronenschicht mit der noch auf ihr befindlichen strukturierten Oxidschicht als Hartmaske zur Strukturierung der ONO-Schicht im Rahmen einer Oxidätzung verwendet werden. Da die ONO-Schicht auch von den Seitenwänden des Grabens abzutragen ist, d. h. auch senkrecht zur Substratfläche, kann hier kein anisotroper Ätzschritt verwendet werden. Bevorzugt wird deshalb ein naßchemischer Ätzschritt verwendet. Schließlich erfolgt eine Ätzung der Floating Gate Elektrodenschicht, ebenfalls in einem weitgehend isotropen Ätzschritt wie z. B. durch entsprechendes Reactive Ion Etching, um auch hier die Schichtbedeckungen an den Grabenwänden in den vorgesehenen Bereichen zu entfernen.

Die vollständig strukturierte Anordnung kann noch durch eine dünne Oxidschicht eingekapselt werden, z. B. mit einer Dicke von ca. 10 nm, wobei dieser Schritt nicht zwingend erforderlich ist.

In Fig. 12 wird eine alternative Anordnung schematisch dargestellt, bei der keine Abschirmung an den Seitenwänden der stegförmigen Erhebungen 6 vorgesehen ist. Hier ist also die gesamte innere Fläche der ersten Elektrodenschicht 3, 9 des Floating Gate lediglich durch ein Tunneloxid 2, 7, 8 von dem Substrat getrennt, so daß über die gesamte innere Fläche der ersten Elektrodenschicht 3, 9 ein Tunnelstrom fließen kann. Die unterschiedlichen kapazitiven Kopplungen Floating Gate-Substrat und Floating Gate-Control Gate werden hierbei durch die Formgebung der ersten Elektrodenschicht 3, 9, nämlich durch die Unterschiede der Flächeninhalte von innerer zu äußerer Fläche der Elektrodenschicht, verwirklicht.

Fig. 13 zeigt die gesamte Transistoranordnung in einer Schemazeichnung als Schnitt entlang der Schnittlinie A-A' gemäß Fig. 11. Die Gate-Elektroden sind auf der stegförmigen Erhebung 6 angeordnet. In die Erhebung 6 sind neben und zum Teil unter den Gate-Elektroden ein Source-Gebiet 12 und ein Drain-Gebiet 13 eingebracht. Diese können sich über die gesamte Höhe der Erhebung 6 erstrecken, d. h. bis zum Boden des Grabens reichen. Sie können aber auch nur bis zu einer gewissen Tiefe in die Erhebung 6 eingebracht sein, wie in Fig. 13 dargestellt. Die gestrichelten Linien 14, 15 deuten denjenigen Bereich an, in dem sich die Schichten der Gate-Elektroden entlang der Seitenwand der Erhebung 6 bis zum Grabenboden in den Graben hinein erstrecken.

Patentansprüche

60

1. Halbleiterbauelement für integrierte Schaltkreise, zumindest bestehend aus
 - einem Substratgebiet, das als Erhebung (6) in einer Grabenstruktur eines Grundkörpers (1, 2, 3) ausgebildet ist,
 - dotierten Gebieten (12, 13), die als Kathoden- und Anodengebiete in die Erhebungen (6) einge-

bettet sind, wobei zwischen der Kathodenzone (12) und der Anodenzone (13) eine Kanalregion in dem Substratgebiet ausgebildet ist,

- zumindest einer ersten Elektrode (3, 9), die über der Kanalregion angeordnet ist und durch eine Isolationsschicht (2, 7, 8) von der Erhebung (6) getrennt ist, wobei diese Elektrode (3, 9) mindestens Teile einer Seitenwand der Erhebung (6) sowie Teile der Oberfläche der Erhebung (6) bedeckt.

2. Halbleiterbauelement nach Anspruch 1, dadurch gekennzeichnet, daß sich die Flächeninhalte der von der ersten Elektrode (3, 9) bedeckten Flächen auf den Seitenwänden sowie der Oberseite der Erhebungen (6) höchstens um einen Faktor 10 unterscheiden.
3. Halbleiterbauelement nach einem der Ansprüche 1 bis 2, dadurch gekennzeichnet, daß die erste Elektrode (3, 9) beide Seitenwände sowie die Oberfläche der Erhebung (6) bedeckt.
4. Halbleiterbauelement nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die erste Elektrode (3, 9) als Gate-Elektrode eines Feldeffekttransistors ausgebildet ist.
5. Halbleiterbauelement nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Isolationsschicht (2, 7, 8) eine einheitliche Schichtdicke aufweist.
6. Halbleiterbauelement nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Isolationsschicht (2, 7, 8) Bereiche geringerer Schichtdicke aufweist, die einen Tunnelstrom aus der Kanalregion in die erste Elektrode (3, 9) ermöglichen, sowie Bereiche größerer Schichtdicke, die keinen Tunnelstrom aus der Kanalregion in die erste Elektrode (3, 9) zulassen.
7. Halbleiterbauelement nach einem der Ansprüche 1 bis 4 oder 6, dadurch gekennzeichnet, daß die Isolationsschicht (2, 7, 8) Bereiche geringerer Schichtdicke aufweist, die eine Einwirkung der ersten Elektrode (3, 9) auf die Bildung eines Leitfähigkeitskanals in der Kanalregion ermöglichen, sowie Bereiche größerer Schichtdicke, die keine Einwirkung der ersten Elektrode (3, 9) auf die Bildung eines Leitfähigkeitskanals in der Kanalregion zulassen.
8. Halbleiterbauelement nach einem der Ansprüche 4 bis 7, dadurch gekennzeichnet, daß der Feldeffekttransistor als EPROM ausgebildet ist und eine weitere Elektrode als Steuerelektrode (Control Gate) (11) vorgesehen ist, die durch eine Isolationsschicht (10) von der ersten Elektrode (3, 9) getrennt ist und die zumindest Teile einer Seitenwand der Erhebung (6) sowie Teile der Oberfläche der Erhebung (6) bedeckt.
9. Halbleiterbauelement nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß die erste Elektrode (3, 9) aus mindestens zwei Elektrodenschichten (3, 9) besteht, insbesondere aus Schichten aus Polysilizium.
10. Halbleiterbauelement nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß die Isolationsschicht (2, 7, 9) aus mindestens zwei einzelnen Isolationsschichten (2, 7, 9) besteht, insbesondere aus Schichten aus thermischem Oxid.
11. Halbleiterbauelement nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, daß die Isolationsschicht (10) aus mindestens zwei einzelnen Isolationsschichten besteht, insbesondere aus einer ONO-Schichtfolge $\text{SiO}_2\text{-SiN-SiO}_2$.
12. Verfahren zur Herstellung eines Halbleiterbauelements insbesondere nach einem der vorhergehenden Ansprüche mit folgenden Schritten:

- Bereitstellen eines Grundkörpers (1, 2, 3)
- Strukturierung von Gräben und Erhebungen (6) in die Oberfläche des Grundkörpers (1, 2, 3).
- Aufbringung einer Isolationsschicht (7, 8) auf einzelne Bereiche der Oberfläche des strukturierten Grundkörpers (1, 2, 3)
- im wesentlichen oberflächendeckende Abscheidung eines Elektrodenmaterials auf der strukturierten Oberfläche des Grundkörpers (1, 2, 3),
- Entfernung des Elektrodenmaterials von den Grabenböden,
- Einbringung einer Katoden- und Anodendotierung (12, 13) in die Erhebung (6).

13. Verfahren nach Anspruch 12, dadurch gekennzeichnet, daß zur Bereitstellung des Grundkörpers (1, 2, 3) eine erste Isolationsschicht (2), insbesondere aus thermischem Oxid, und eine erste Elektrodenschicht (3), insbesondere aus Polysilizium, auf einem Substrat (1) abgeschieden werden und die Strukturierung der Gräben und Erhebungen (6) durch eine Strukturierung der Isolationsschicht (2) und der Elektrodenschicht (3) zusammen mit dem Substrat (1) erfolgt.

14. Verfahren nach Anspruch 13, dadurch gekennzeichnet daß nach erfolgter Strukturierung der Gräben und Erhebungen (6) eine weitgehend oberflächendeckende Aufbringung weiterer Isolationsschichten (7, 8), insbesondere aus thermischem Oxid, erfolgt, von denen zumindest einige Schichten in einem anisotropen Ätzschritt von den Oberflächen der Erhebungen (6) sowie den Grabenböden teilweise oder vollständig wieder entfernt werden.

15. Verfahren nach Anspruch 14, dadurch gekennzeichnet, daß nach Aufbringung der Isolationsschichten (7, 8) eine weitgehend oberflächendeckende Aufbringung zusätzlicher Elektrodenschichten (9), insbesondere aus Polysilizium, erfolgt, von denen zumindest einige Schichten in einem anisotropen Ätzschritt von den Grabenböden vollständig wieder entfernt werden.

16. Verfahren nach einem der Ansprüche 12 bis 15, dadurch gekennzeichnet, daß eine weitgehend oberflächendeckende Abscheidung einer Isolationsschicht (10) über dem strukturierten Grundkörper (1, 2, 3) sowie den darauf angebrachten Elektrodenschichten (3, 9) erfolgt, wobei die Isolationsschicht (10) bevorzugt aus einer ONO-Schichtfolge SiO₂-SiN-SiO₂ besteht.

17. Verfahren nach Anspruch 16, dadurch gekennzeichnet, daß über der Isolationsschicht (10) eine Elektrodenschicht (11), insbesondere aus Polysilizium, weitgehend oberflächendeckend abgeschieden wird.

Hierzu 6 Seite(n) Zeichnungen

ZEICHNUNGEN SEITE 1

Nummer:
Int. Cl.⁶:
Offenlegungstag:

DE 198 40 984 A1
H 01 L 29/78
18. November 1999

FIG 1

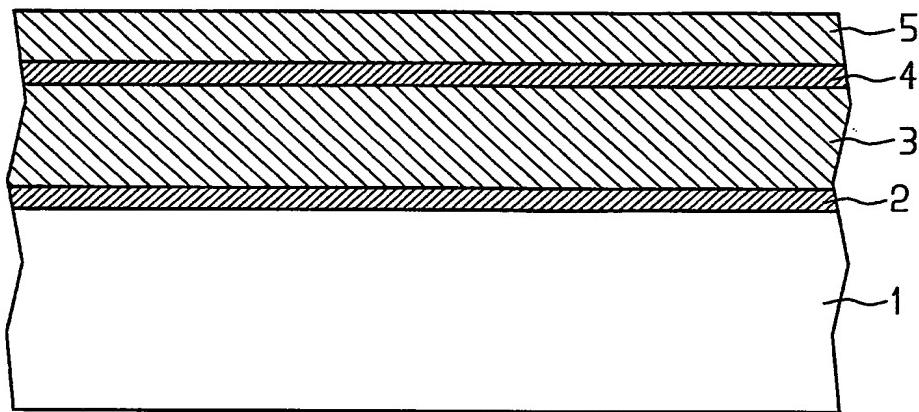


FIG 2

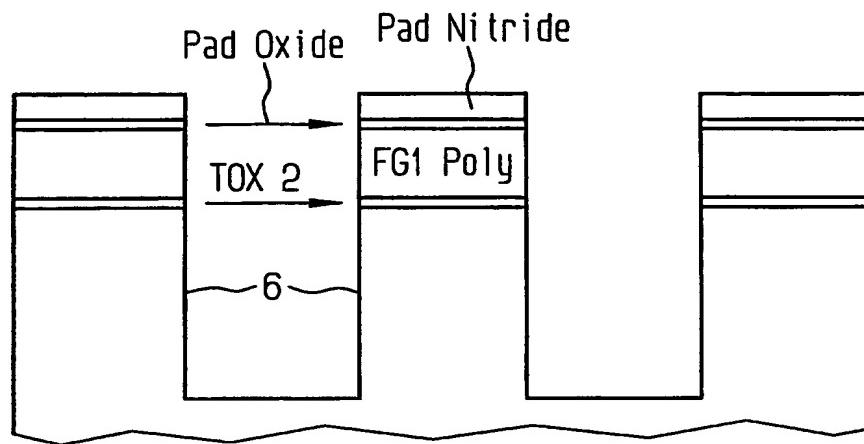


FIG 3

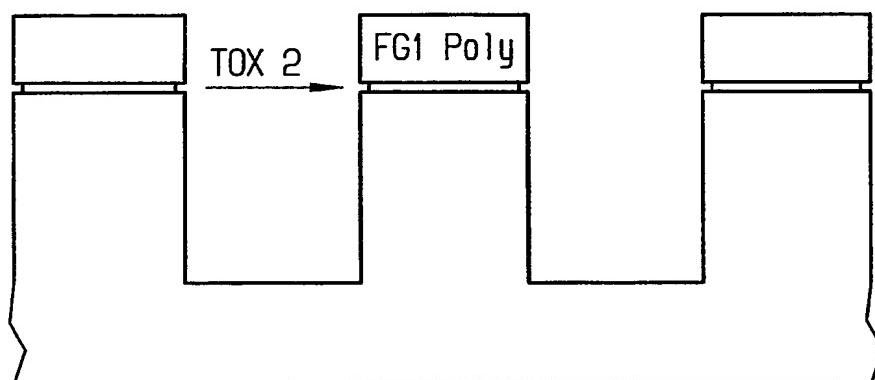


FIG 4

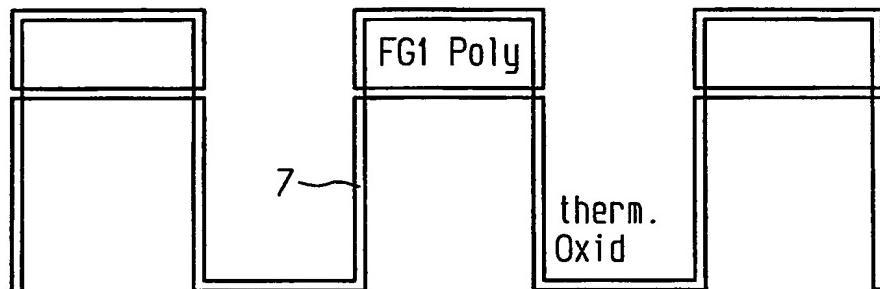


FIG 5

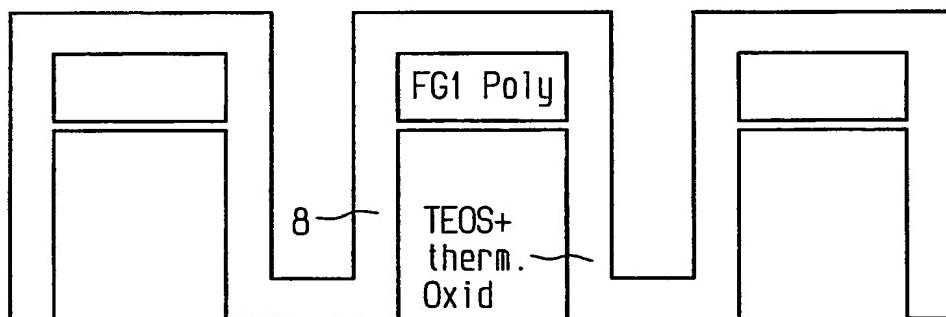


FIG 6

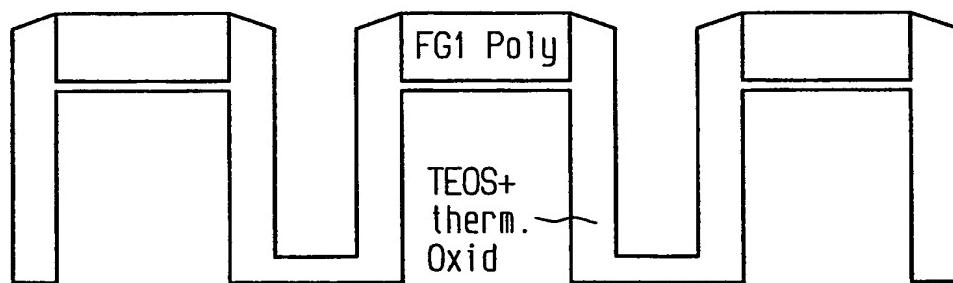


FIG 7

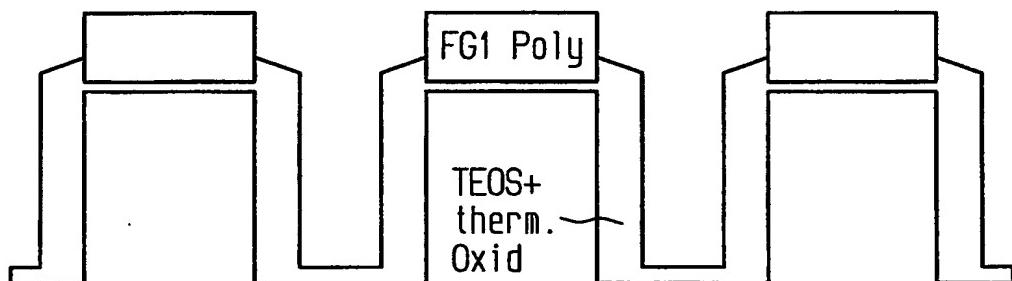


FIG 8

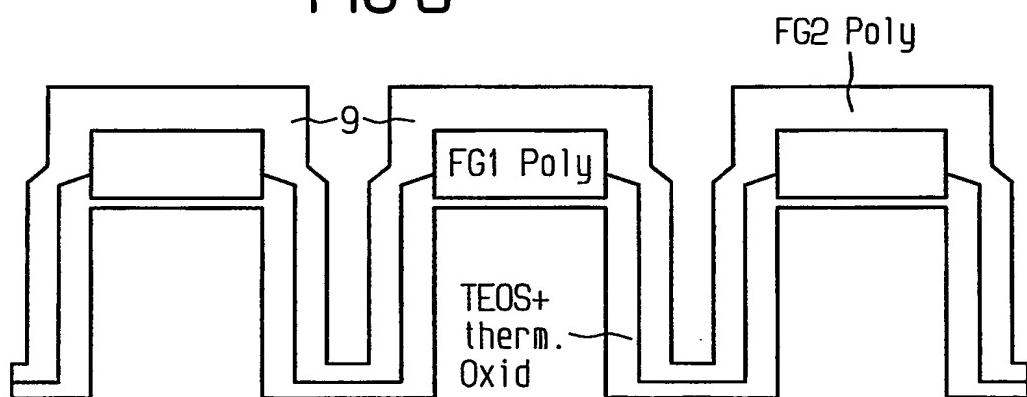


FIG 9

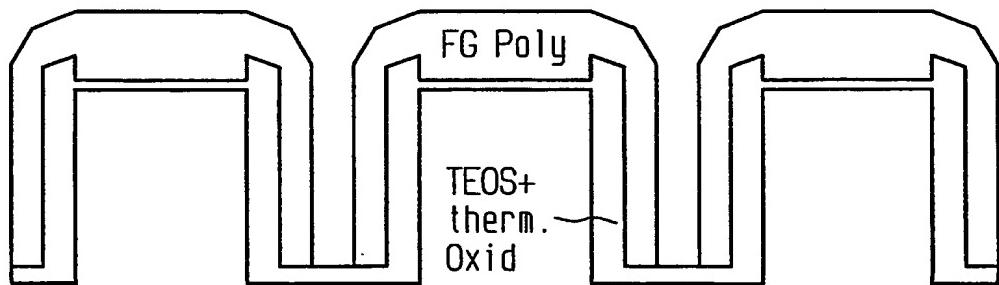


FIG 10

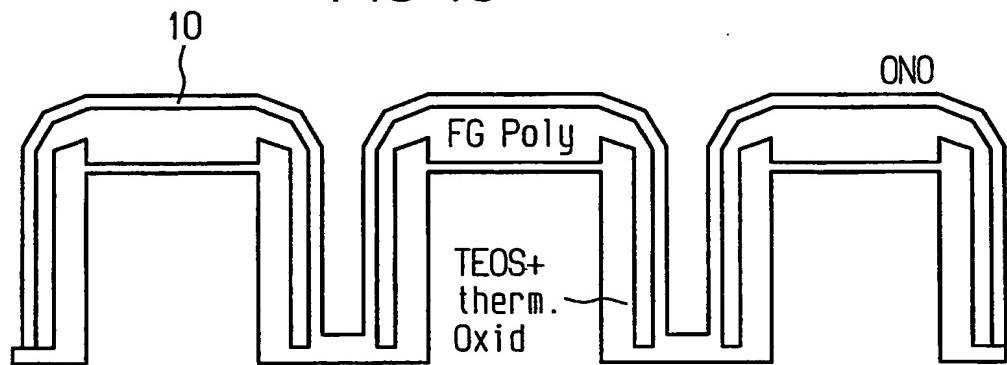


FIG 11

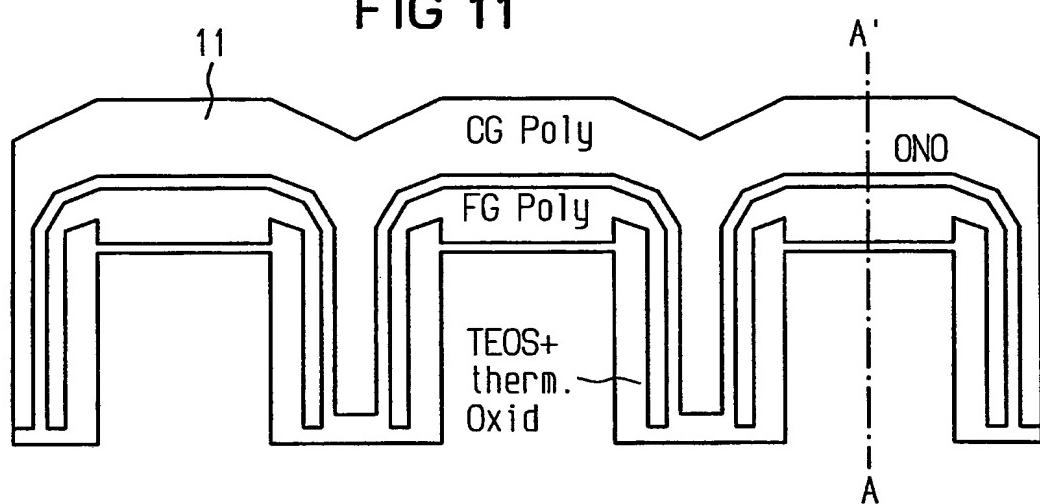


FIG 12

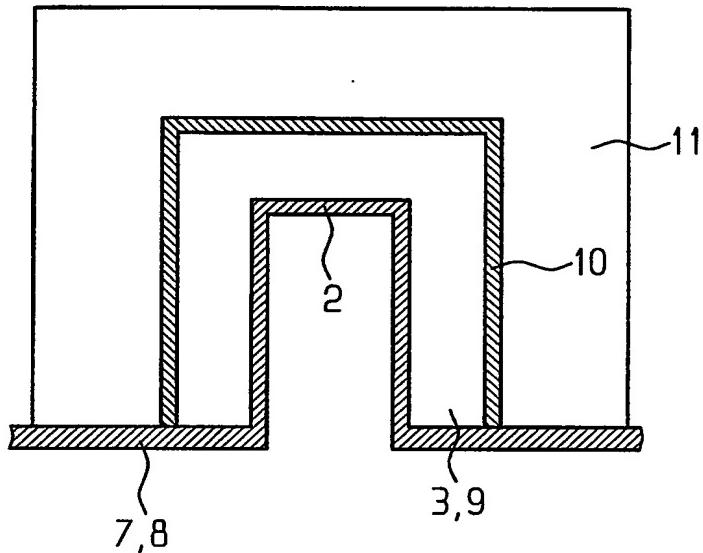


FIG 13

